

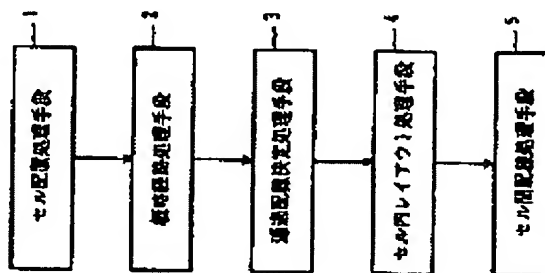
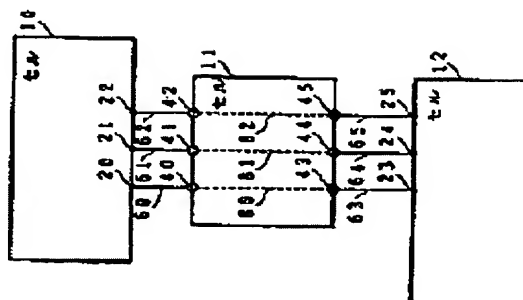
# DESIGN METHOD OF INTEGRATED CIRCUIT

**Patent number:** JP2155254  
**Publication date:** 1990-06-14  
**Inventor:** SHIMOYAMA HARUYO  
**Applicant:** NEC CORP  
**Classification:**  
 - international: H01L21/82; G06F15/60  
 - european:  
**Application number:** JP19880310952 19881207  
**Priority number(s):**

## Abstract of JP2155254

**PURPOSE:** To improve the degree of integration of a chip by determining the position of the arrangement of a cell and approximately the path of a signal conductor, deciding the number of passing wirings and the positions of the input-output of the passing wirings and laying out the inside of the cell.

**CONSTITUTION:** The positions of the arrangement of cells in an integrated circuit are determined by a cell arrangement treating means 1, approximately the paths of each signal conductor are decided by approximately a path treating means 2, the number of passing wirings and the locations of inputs-outputs are determined at every cell by a passing-wiring determining treating means 3, the positions of the disposal of cells 10, 11 and 12 and approximately paths



## ⑫ 公開特許公報(A) 平2-155254

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月14日

H 01 L 21/82  
G 06 F 15/60

3 7 0 K

8125-5B  
8526-5F

H 01 L 21/82

C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 集積回路の設計方式

⑯ 特 願 昭63-310952

⑰ 出 願 昭63(1988)12月7日

⑱ 発 明 者 下 山 晴 代 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井出 直孝

## 明 細 書

## 1. 発明の名称

集積回路の設計方式

## 2. 特許請求の範囲

1. 階層的レイアウト設計手段を備えた集積回路の設計方式において、

前記階層的レイアウト設計手段は、

初めに前記集積回路内のセル配置とセル間の信号線の概略経路を決定するセル配置信号線経路処理手段と、

セル配置が決定された各セルについて、当該セルを通過する信号線に対する通過配線の本数およびその入出力位置を決定する通過配線決定処理手段と、

決定された前記通過配線の情報に従いセル内部のレイアウトを行うセル内レイアウト処理手段とを含むことを特徴とする集積回路の設計方式。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はCADを用いた集積回路の設計に利用され、特に、階層的レイアウト設計手段により、集積回路のレイアウト設計を行う集積回路の設計方式に関する。

〔概要〕

本発明は、CADを用いた階層的レイアウト設計方式による集積回路の設計方式において、

各セルの配置位置および各信号線の概略経路を決定後に、各セルの通過配線の本数およびその入出力位置を決定し、その後セル内のレイアウト設計を行うようにすることにより、

セル内の未使用の通過配線領域およびセル外に必要とされる通過配線領域をなくし、配線領域を減少させ、集積度の向上を図ったものである。

〔従来の技術〕

従来、この種の集積回路の設計方式は、第5図および第6図で示すように、セル内レイアウト処理手段4aで通過配線の本数および入出力位置を

見取り、それらを組み込んだレイアウトを行った（ステップS11）後、セル配置処理手段1aでセル配置位置を決定し（ステップS12）、概略経路処理手段2aで各信号線の概略経路を決定して（ステップS13）、その経路に従い、セル間配線処理手段5aでセル間の詳細配線を行っていた。（ステップS14）。

#### 〔発明が解決しようとする問題点〕

前述した従来の集積回路の設計方式は、チップの集積度を向上させようとする状況下において、セルの通過配線をセルの配置位置および信号線の概略経路が未決定時に組み込んでしまうので、通過配線の本数およびその入出力位置も正確には見積もれないため、セル配置後あらかじめ組み込まれた通過配線のためのレイアウト部分が全て有効に使用されるとは限らないか、または、不足している場合にはセルを迂回して余分な配線領域が必要となる。また、通過配線の入出力位置もあらかじめ設定されているため、セル間配線時の配線パターンが必ずしも最適な形状となるとは限らず、チ

ップの集積度の向上を阻害する欠点がある。

第7図はかかる従来方式による応用例を示すレイアウト図である。第7図は三つのセル16、17および18において、セル17を通過してセル16からセル18へ信号線を配線する場合を示しものである。

従来は、第7図に示すように、あらかじめ通過配線のための通過端子50、51、52、53、54、55、56および57と、それらを各々接続するためのレイアウトを組み込んだセル17を用いると、通過端子52、53、56および57とそれらを接続するためのレイアウト部分が未使用のままになり、また通過配線89は接続する適当な端子がセル17にないため、セル外に配線領域を必要とするようになる。なお、第7図において、30、31、32、33、34および35は端子、70、71、72および73はセル間を接続する配線、ならびに85、86、87および88は通過配線である。なお前述のように、通過配線87および88は実際は配線されず領域のみ未使用として残る。

本発明の目的は、前記の欠点を除去することにより、配線領域を小さくし、集積度の向上を図る

ことができる集積回路の設計方式を提供することにある。

#### 〔問題点を解決するための手段〕

本発明は、階層的レイアウト設計手段を備えた集積回路の設計方式において、前記階層的レイアウト設計手段は、初めに前記集積回路内のセル配置とセル間の信号線の概略経路を決定するセル配置信号線経路処理手段と、セル配置が決定された各セルについて、当該セルを通過する信号線に対する通過配線の本数およびその入出力位置を決定する通過配線決定処理手段と、決定された前記通過配線の情報に従いセル内部のレイアウトを行うセル内レイアウト処理手段とを含むことを特徴とする。

#### 〔作用〕

初めに、セル配置信号線経路処理手段により、各セルの配置位置と、セル間の信号線の概略経路とを決定する。そして、通過配線決定処理手段により、各セルについて当該セルを通過する信号線に対する通過配線の数とその入出力位置を決定す

る。そして、この通過配線の情報に従って、セル内レイアウト手段はセル内のレイアウトを行う。

従って、セル内部に未使用の通過配線領域がなくなるとともに、セル外部に通過配線領域をレイアウトする必要がなくなる。さらに、セル間の配線も最短になるようレイアウトできる。これにより、チップの配線面積を減少させ、集積度を向上させることが可能となる。

#### 〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック構成図である。

本実施例は、階層的レイアウト設計手段を備えた集積回路の設計方式において、

前記階層的レイアウト設計手段は、初めに前記集積回路内のセル配置とセル間の信号線の概略経路を決定するセル配置信号線経路処理手段としてのセル配置処理手段1および概略経路処理手段2と、セル配置が決定された各セルについて当該セ

ルを通過する信号線に対する通過配線の本数およびその入出力位置を決定する通過配線決定処理手段3と、決定された前記通過配線の情報に従いセル内部のレイアウトを行うセル内レイアウト処理手段4と、セル間の配線処理を行うセル間配線処理手段5とを含んでいる。

本発明の特徴は、第1図に示す接続構成の、セル配置処理手段1、概略経路処理手段2、通過配線決定処理手段3およびセル内レイアウト処理手段4を含むことにある。

次に、第2図に示す流れ図を参照して本実施例の動作について説明する。

セル配置処理手段1で、集積回路内のセルの配置位置を決定し(ステップS1)、概略経路処理手段2で、各信号線の概略経路を決定し(ステップS2)、次に、通過配線決定処理手段3で、各セルごとに通過配線の本数および入出力位置を決定し、入出力位置に通過配線の端子となる通過端子を設定し(ステップS3)、その後、セル内レイアウト処理手段4で、次配線を含めたセル内の

端子29間ならびに端子27と端子28間の信号線の概略経路決定後、通過配線決定処理手段3で、セル14に通過配線83および84のための通過端子46、47、48および49を設定し、セル内レイアウト処理手段4で、セル14の内部のレイアウトを行い、次に、セル間配線処理手段5で、配線66、67、68および69の配列を行う。

この第二応用例では、セル13、14および15が全て一直線に並ばないような配置位置であっても、セル14で通過配線83および84が組み込めるため、本発明の設計方式を用いると、セルの位置関係の制約を受けることなく、通過配線の設定ができる利点がある。

#### 〔発明の効果〕

以上説明したように、本発明は、セルの配置位置および信号線の概略経路決定後に通過配線の本数およびその入出力位置を決定し、その後、セル内部のレイアウトを行うことにより、セル内部に必要なだけの通過配線のレイアウトを行えばよく、また入出力位置も概略経路により適当な位置に設

レイアウトを行い(ステップS4)、セル間配線処理手段5で、セル間の接続情報に基づき詳細配線を行う(ステップS5)。

第3図は、本実施例による第一応用例を示すパターンレイアウト図で、セル10からセル11を通過してセル12に信号線を配列する場合を示す。

セル配置処理手段1および概略経路処理手段2で、セル10、11および12の配置位置および概略経路決定後、通過配線決定処理手段3で、通過配線の本数および入出力位置を設定できるので、通過配線80、81および82の通過端子40、41、42、43、44および45を設定することが可能であり、配線60、61、62、63、64および65も不必要な折れ曲がりを含まないものにできる。なお、第3図において、20、21、22、23、24および25は端子である。

第4図は本実施例による第二応用例を示すパターンレイアウト図で、セル13からセル14を通過してセル15に信号線を配列する場合を示す。

セル配置処理手段1および概略経路処理手段2で、セル13、14および15の配置位置と、端子26と

定できるため、セル間配線時に、最適な形状のパターンで結線できることにより、配線領域が小さくできるので、チップの集積度が向上できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック構成図。

第2図はその動作を示す流れ図。

第3図は実施例による第一応用例を示すパターンレイアウト図。

第4図は実施例による第二応用例を示すパターンレイアウト図。

第5図は従来例を示すブロック構成図。

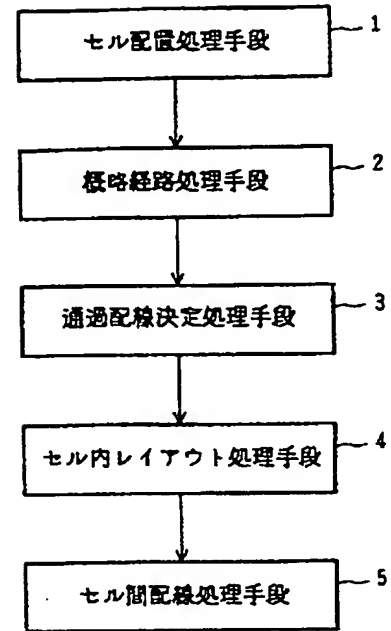
第6図はその動作を示す流れ図。

第7図は従来例による応用例を示すパターンレイアウト図。

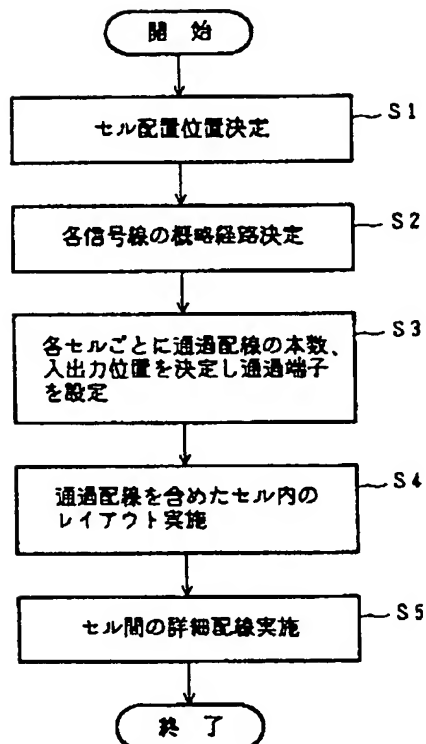
1、1a …セル配置処理手段、2、2a …概略経路処理手段、3 …通過配線決定処理手段、4、4a …セル内レイアウト処理手段、5、5a …セ

ル間配線処理手段、10～18…セル、20～35…端子、  
40～57…通過端子、60～73…配線、80～89…通過  
配線、S1～S5、S11～S14…ステップ。

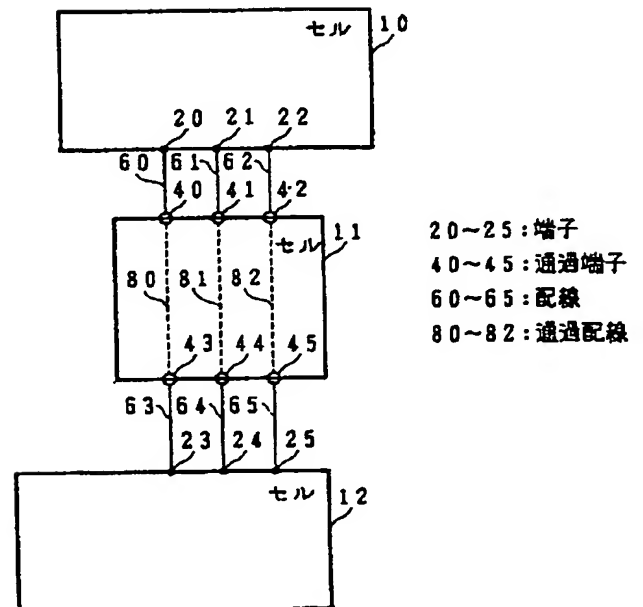
特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝



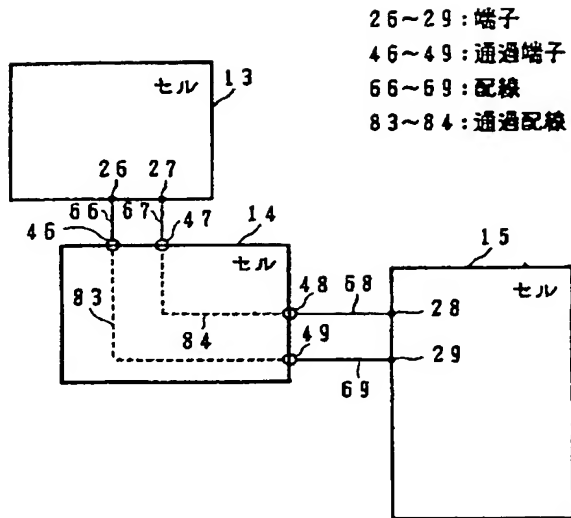
実施例の構成  
第 1 図



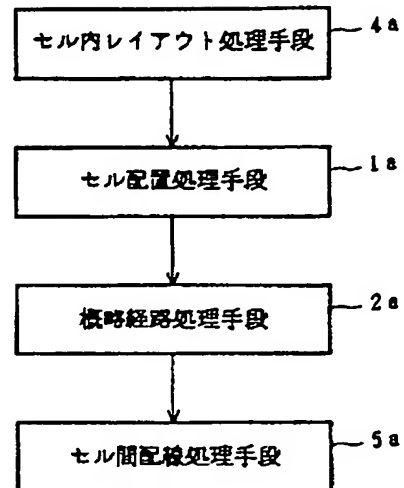
実施例 (流れ図)  
第 2 図



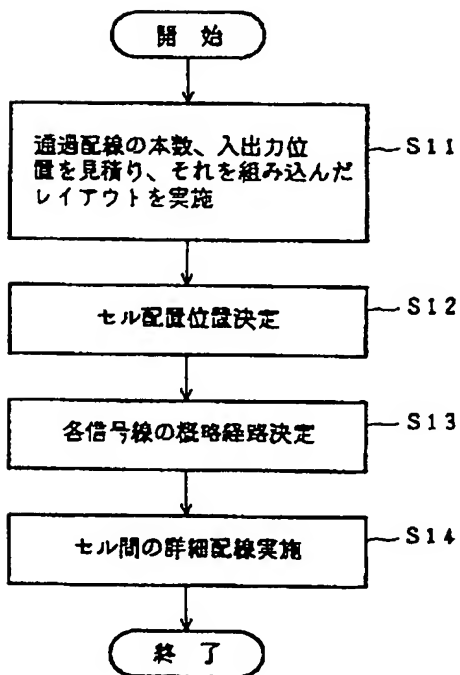
実施例 (第一応用例)  
第 3 図



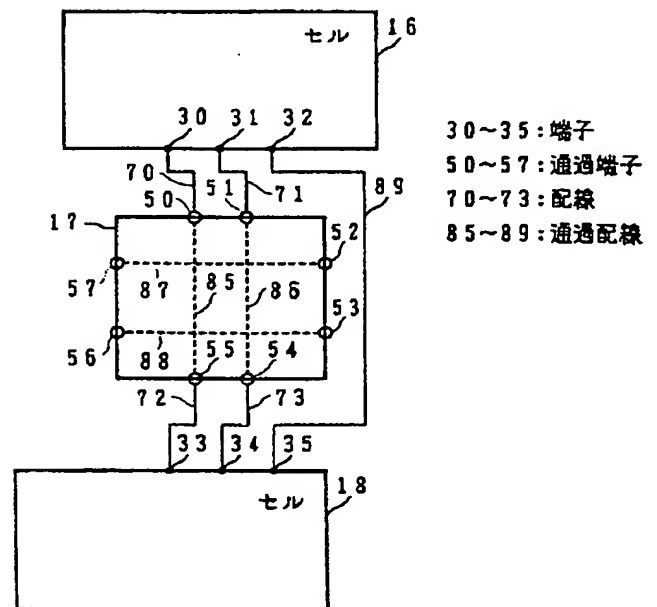
実施例 (第二応用例)  
第 4 図



従来例の構成  
第 5 図



従来例 (流れ図)  
第 6 図



従来例 (応用例)  
第 7 図